

低キュリー温度 CoPd/Pd 多層膜を用いた ハイブリッドメモリ層の STT 磁化反転の温度依存性

趙望臻、加藤剛志、大島大輝、園部義明*、高橋茂樹*、岩田聡

(名古屋大学, *サムスン日本研究所)

Temperature dependence of STT switching of hybrid memory layer using low Curie temperature CoPd/Pd multilayer

W. Zhao, T. Kato, D. Oshima, Y. Sonobe*, S. Takahashi*, S. Iwata

(Nagoya Univ., *Samsung R&D Institute Japan)

1. はじめに

スピントランスファートルク (STT) 磁化反転方式は磁気ランダムアクセスメモリ (MRAM) の書き込み手段として利用されているが, 10 Gbit 級の大容量の MRAM を実現するには, 高い熱安定性 Δ と低い臨界電流密度 J_{sw} の両立と, より高効率な磁化反転手法の開発が求められている。大容量 MRAM を実現する熱アシスト STT 磁化反転のメモリ層として, 異なるキュリー温度の磁性層を交換結合したハイブリッドメモリ層が提案されている[1]。これまでに我々は, 高キュリー温度 (T_C) の Co/Pd 多層膜 (ML) と低 T_C の CoPd/Pd ML の交換結合二層構造ハイブリッドメモリ層を作製し, CoPd/Pd ML の T_C 以上である 170°C から冷却する過程で CoPd/Pd ML の磁化方向が, 交換結合により高 T_C Co/Pd ML の磁化方向に支配されることを報告した[2]。今回我々は, (低 T_C CoPd/Pd ML)/(高 T_C Co/Pd ML) の交換結合した二層ハイブリッド構造の STT 磁化反転について報告する。また, STT 磁化反転の熱アシスト効果を検証するため, その温度依存性を調べた。

2. 実験方法

熱酸化膜付 Si 基板上にマグネトロンスパッタ法により, Si sub. / Ta (10) / Cu₇₀Ta₃₀ (150) / Pt (5) / [Pt (1.0) / Co (0.6)]₆ ML / Cu (2.5) / [Co (0.4) / Pd (1.2)]_{3-N} ML / [Co₄₈Pd₅₂ (0.4) / Pd (1.2)]_N ML / Cu (5) / Ta (5) ($N=0-3$, 層厚の単位は nm) という GMR 構造を作製した。光露光, EB 露光により, GMR 膜を微細加工し, 接合部の直径が 120 nm から 300 nm までの CPP-GMR 接合を作製した。STT 磁化反転は CPP-GMR 接合に電流パルスを加した後の抵抗値を測定することで観測した。

3. 実験結果

Fig. 1 は [Co/Pd]₂ / [CoPd/Pd]₁ 層をメモリ層とする CPP-GMR 接合の STT 磁化反転の臨界電流密度のパルス幅依存性である。接合直径は 180 nm であり, Fig. 1 には反平行状態 (AP) から平行状態 (P) への電流密度 ($J_{AP \rightarrow P}$), P から AP への電流密度 ($J_{P \rightarrow AP}$), およびその平均値 (J_{av}) を示している。臨界電流密度はパルス幅 τ の増大により減少している。 $\tau = 1$ ns のときの J_{av} の値を J_{c0} とし, J_{av} のパルス幅依存性の傾きから熱安定性指標 $\Delta = K_u V / k_B T$ を見積もった。Fig. 2 は積層回数の異なるハイブリッドメモリ層 [Co/Pd]_{3-N} / [CoPd/Pd]_N の臨界反転電流密度 J_{c0} の温度依存性である。 $N=2$ のハイブリッドメモリ層では $N=0$ の高 T_C メモリ層と比べ, 室温では同程度であった J_{c0} が, 高温では半分程度の J_{c0} が得られた。熱安定性 Δ も J_{c0} と似た温度依存性を示している。なお, この結果はシミュレーションと定性的に一致し[2], 今回の結果は STT 磁化反転の熱アシスト効果によると考えられる。

4. 参考文献

- [1] Machida et al., IEEE Trans. Magn., **53**, 2002205 (2017).
- [2] W. Zhao et al., IEEE Trans. Magn., **54**, 3450405 (2018).

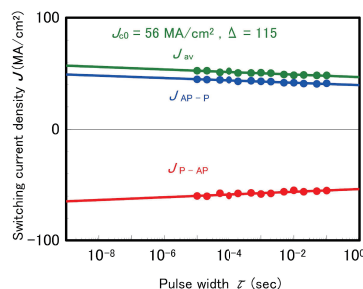


Fig. 1 Pulse width dependence of the STT switching current densities of the hybrid memory layer of [Co/Pd]₂ / [CoPd/Pd]₁ with a pillar diameter of 180 nm.

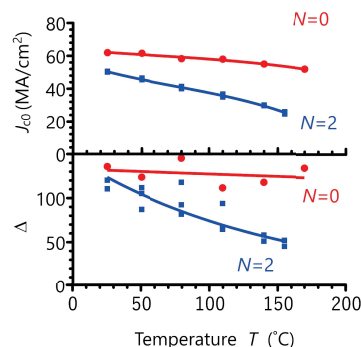


Fig. 2 Temperature dependence of $J_{c0(av)}$ for the STT switching of the 2 different hybrid memory layers