

低キュリー温度 CoPd/Pd 系多層膜を用いた MRAM 用交換結合ハイブリッドメモリ層

趙望臻、木村匠、董夏茵、大島大輝、加藤剛志、園部義明*、川戸良昭*、岩田聡
(名古屋大学, *サムスン日本研究所)

Exchange coupled hybrid memory layer with low Curie temperature CoPd/Pd multilayer for high-density magnetic random-access memory cells

W. Zhao, T. Kimura, X. Dong, D. Oshima, T. Kato, Y. Sonobe*, Y. Kawato*, S. Iwata
(Nagoya Univ., *Samsung R&D Institute Japan)

1. はじめに

MRAM における磁化反転には、スピン注入磁化反転が利用されているが、10 Gbit 級の大容量の MRAM を実現するには、高い熱安定性 Δ と低い臨界電流密度 J_{sw} を両立させる高効率な磁化反転手法の開発が求められている。大容量 MRAM を実現するメモリ層として、異なるキュリー温度の磁性層を交換結合したハイブリッドメモリ層が提案されている[1]。これまでに我々は、高キュリー温度 (T_C) の Co/Pd 多層膜 (ML) と低 T_C の CoPd/Pd ML の交換結合二層構造ハイブリッドメモリ層を作製し、CoPd/Pd ML の T_C 以上である 170°C から冷却する過程で CoPd/Pd ML の磁化方向が、交換結合により高 T_C Co/Pd ML の磁化方向に支配されることを報告した[2]。今回我々は、(高 T_C Co/Pd ML)/(低 T_C CoPd/Pd ML)/(高 T_C Co/Pt ML) の三層ハイブリッド構造の磁化過程を報告するとともに、低 T_C CoPd/Pd メモリ層のスピン注入磁化反転について報告する。

2. 実験方法

熱酸化膜付 Si 基板上にマグネトロンスパッタ法により、Si sub. / Ta (10 nm) / Pt (5nm) / [Pt (1.2 nm) / Co (0.4 nm)]₆ ML / [Pd (1.2 nm) / Co₄₈Pd₅₂ (0.3 nm)]₃ ML / [Pd (1.2 nm) / Co (0.4 nm)]₃ ML / SiN (5 nm) (サンプル A) を作製した。中間層の CoPd/Pd ML は 130 °C 程度の低い T_C を持つ。また、この低 T_C CoPd/Pd ML を非磁性の Pd (4.5 nm) に置き換えたもの (サンプル B) も作製し、その磁化過程を比較した。

3. 実験結果

図 1 は室温及び 172°C における三層ハイブリッド膜(サンプル A) の Kerr ループを示している。高 T_C の Co/Pd ML および Co/Pt ML が低 T_C CoPd/Pd ML 中間層を介して交換結合するため、三層が同時に反転している。一方、172°C では、二つ高 T_C ML が独立に反転し、Kerr ループが二段の形状になっており、高 T_C の Co/Pd および Co/Pt の保磁力 H_c はそれぞれ、0.42 kOe, 1.8kOe である。図に示されていないが、中間層を Pd (4.5 nm) としたサンプル B の室温における Kerr ループはサンプル A の 172°C での Kerr ループと同様、二段のループになっている。図 2 は、サンプル A の(a) Kerr 回転角と(b)保磁力の温度依存性を示している。Kerr 回転角は温度上昇とともに減少する。図 2 (b)は、サンプル A が室温から 130°C まで中間層を介した交換結合により三層同時に反転しているが、130°C を超えると、Co/Pd ML と Co/Pt ML が独立に反転するようになり、温度上昇とともに、保磁力がそれぞれ減少、増加することを示している。これより、CoPd/Pd 層を介した交換結合が温度により制御できることが分かる。講演では、低 T_C の CoPd / Pd ML のスピン注入磁化反転の結果も述べる。

4. 参考文献

- [1] Machida et al., IEEE Trans. Magn., **53**, 2002205 (2017).
[2] W. Zhao et al., IEEE Trans. Magn., DOI: 10.1109/TMAG.2018.2828138 (2018).

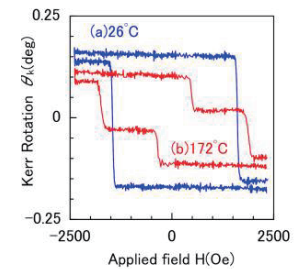


Fig. 1 Kerr hysteresis loops of sample A, [Co/Pd] / [CoPd/Pd] / [Co/Pt], measured at (a)26°C and (b)172°C.

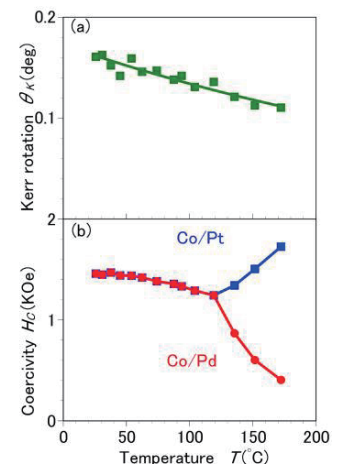


Fig. 2 Temperature dependence of Kerr rotation and coercivities of Pt/Co and Pd/Co MLs in the sample A.

Co/Pd 多層膜のスピントランスミット磁化反転臨界電流の層厚比依存性

趙望臻、木村匠、大島大輝、加藤剛志、園部義明*、川戸良昭*、岩田聡
(名大, *サムスン日本研究所)

Dependence of critical current of spin transfer torque magnetization switching on the layer thickness ratio of Co/Pd multilayers

W. Zhao, T. Kimura, D. Oshima, T. Kato, Y. Sonobe*, Y. Kawato*, S. Iwata
(Nagoya Univ., *Samsung R&D Institute Japan)

1. はじめに

スピントランスミット磁化反転は、大容量 MRAM を実現する技術として開発が進められているが、10 Gbit を超える容量の実現には、高い熱安定性と低い臨界電流を両立させる高効率な磁化反転手法の開発が求められる。我々は高効率な磁化反転を実現するメモリ層として、低いキュリー温度 (T_C) の低 T_C 層と高 T_C 層を交換結合させた積層型垂直磁化メモリ層に注目している[1]。低 T_C 層として CoPd/Pd 多層膜、高 T_C 層として Co/Pd 多層膜を用いた積層膜の磁化反転を検討し、低 T_C 層の磁化反転が、高 T_C 層の磁化方向との交換結合により制御できることを示してきた[2]。今回は高 T_C 層である Co/Pd 多層膜へのスピントランスミット磁化反転を検討し、その臨界反転電流密度の層厚比依存性を調べたので報告する。

2. 実験方法

熱酸化膜付 Si 基板上にマグネトロンスパッタ法により、Si sub./Ta (10)/Cu₇₀Ta₃₀ (150)/Pt (5)/[Pt (1.0)/Co (0.6)]₆/Cu (2.5)/[Co (t_{Co})/Pd (t_{Pd})]₃/Cu (5)/Ta (2) (膜厚の単位は nm) を作製した。素子の微細加工には、フォトリソグラフィ、ECR プラズマ Ar イオンエッチング、および電子ビームリソグラフィを用い、直径 140 - 200 nmφ の接合を有する CPP-GMR 素子を作製した。磁気抵抗特性は直流 4 端子法により評価し、スピントランスミット磁化反転はパルス幅 10 μsec ~ 10 msec のパルス電流を印加後、100 μA の読み出し電流で接合抵抗を測定することで評価した。

3. 実験結果

Fig. 1 は Co (0.3 nm)/Pd (1.2 nm) 層へのスピントランスミット磁化反転の臨界電流密度のパルス幅依存性である。素子直径は 140 nmφ であり、Fig. 1 には反平行状態 (AP) から平行状態 (P) への電流密度 (J_{AP-P})、P から AP への電流密度 (J_{P-AP}) 及びそれらの平均電流密度 J_{ave} を示している。臨界電流密度はパルス幅 τ の増大により減少しているが、これから $\tau = 1$ nsec の電流密度 J_{c0} 、熱安定性指標 $\Delta = K_u V / k_B T$ を見積もった。Fig. 2 は様々な素子直径の Co/Pd の J_{av} のパルス幅依存性より見積もった J_{c0} と Δ の層厚比 t_{Pd}/t_{Co} 依存性である。 $t_{Pd}/t_{Co} \leq 2$ では、 J_{c0} は t_{Pd}/t_{Co} の増加とともに増加している。Co/Pd 多層膜では t_{Pd}/t_{Co} の増大によりダンピング定数 α が増加することから[3]、この領域での J_{c0} の増加は Co/Pd の α の増加を反映している可能性がある。一方、 t_{Pd}/t_{Co} がさらに増加すると J_{c0} が減少する傾向が見られ、Co/Pd の J_{c0} が α の変化のみでは説明できないと考えられる。一方、Fig. 2 から Δ の t_{Pd}/t_{Co} 依存性は小さいと考えられる。

4. 参考文献

- [1] Machida et al., IEEE Trans. Magn., **53**, 2002205 (2017).
[2] W. Zhao et al., IEEE Trans. Magn., DOI: 10.1109/TMAG.2018.2828138 (2018).
[3] T. Kato et al., IEEE Trans. Magn., **48**, 3288 (2012).

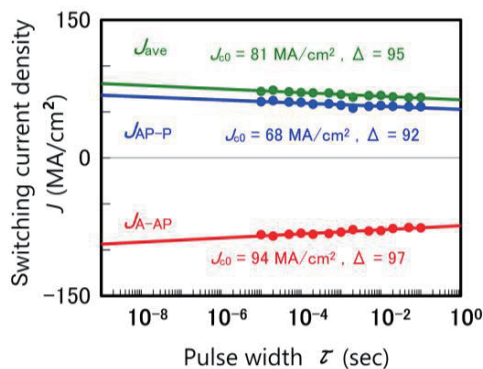


Fig. 1 Pulse width dependence of the STT switching current densities of the Co/Pd multilayer with a pillar diameter of 140 nmφ.

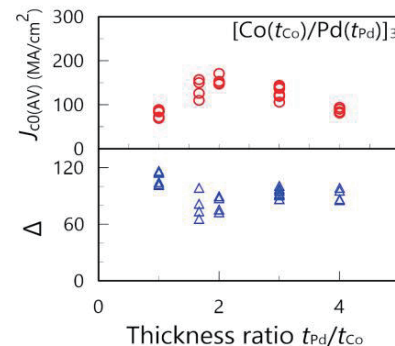


Fig. 2 Dependence of $J_{c0(av)}$ and Δ on the thickness ratio t_{Pd}/t_{Co} of the [Co (t_{Co})/Pd (t_{Pd})]₃ ML. The data taken from the CPP-GMR nano-pillars with various pillar diameters are plotted.

垂直磁化 Co 超薄膜における電界アシストスピホール磁化反転

國島 和哉, 周 興, 大島 大輝, 加藤 剛志, 岩田 聡
(名古屋大学)

Electric-field-assisted spin Hall magnetization switching in perpendicularly magnetized Co ultra-thin films
K.Kunishima, X.Zhou, D.Oshima, T.Kato, S.Iwata
(Nagoya University)

はじめに

磁気ランダムアクセスメモリ(MRAM)は、不揮発性、高速のランダムアクセス、無限の書き換え耐性といった特長を持ち、次世代のメモリとして注目されている。現行の MRAM は消費電力が大きいという欠点があるため、新たな磁化反転の手法として、スピホール効果を用いた磁化反転が検討されている¹⁾。しかし、この手法でも純スピ流を生成するために、重金属膜に $10^6 \sim 10^7$ A/cm² 程度の大きな電流密度を必要とする。近年、磁性層に電界を印加することにより界面異方性を制御し、スピホール磁化反転の反転電流密度を低減できることが報告されている²⁾。ここでは、垂直磁気異方性を示す Co 超薄膜において、電界による磁気特性の制御と電界アシストスピホール磁化反転を調べた。

実験方法

超高真空マグネトロンスパッタリング装置を用いて、MgO (10 nm) / Co (0.4 nm) / Pt (3 nm) / SiN (5 nm) / (熱酸化膜付き Si 基板) を成膜した。電子線露光装置と Ar⁺イオンエッチング装置を用い、異常ホール効果測定用の幅 $3 \mu\text{m} \times 6 \mu\text{m}$ の十字パターンに加工した。その後、電圧を印加して測定を行うため、フォトリソグラフィとスパッタリングにより絶縁層パターン HfO₂ (100 nm) と電極パターン Al (100 nm) を作製した (Fig. 1)。異常ホール効果の測定は、膜面内方向に電流 30 μA を流し測定した。スピホール磁化反転の測定は、電流と平行方向に外部磁界を 200 Oe 印加し、パルス幅 0.01 msec ~ 1 msec のパルス電流を印加した直後のホール電圧を測定することで行った。これらの測定時には、Al 電極にゲート電圧 $V_G = -20 \text{ V} \sim +20 \text{ V}$ を印加し、電界印加効果を調べた。

実験結果

Fig. 2 はゲート電圧 $V_G = -20 \text{ V}$, $+20 \text{ V}$ を印加した場合の異常ホールループである。保磁力は $V_G = +20 \text{ V}$ のとき 336 Oe, $V_G = -20 \text{ V}$ のとき 291 Oe と、0.3 %/V 程度の保磁力変化が確認された。Fig. 3 はスピホール磁化反転における、反転電流密度 J_s の電流パルス幅 τ 依存性を示している。反転電流密度は、電流パルス幅が大きくなるにつれて減少している。また、正の V_G 印加で J_s が増加、負の V_G で J_s が減少することは、保磁力の変化と対応しており、 $V_G = +20 \text{ V}$ から -20 V へ変化することで J_s が 0.5 MA/cm² 程度減少することが確認された。

参考文献

- 1) L.Liu et al., Phys. Rev. Lett., **109**, 096602 (2012).
- 2) T. Inokuchi et al., Appl. Phys. Lett., **110**, 252404 (2017).

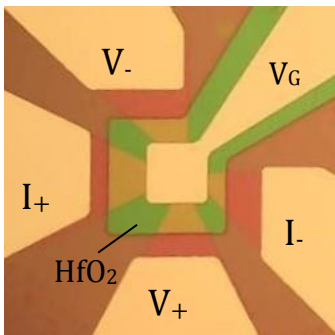


Fig. 1 Optical microscope image of the micro-fabricated Co ultrathin film.

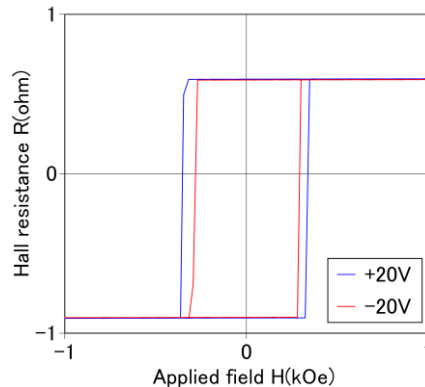


Fig.2 Hall loops of microfabricated MgO / Co / Pt measured under $V_G = \pm 20 \text{ V}$.

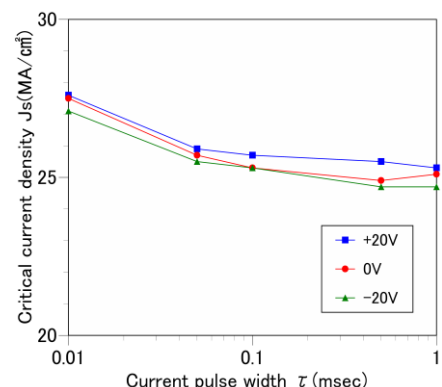


Fig.3 Pulse width dependence of critical current density of spin Hall switching of MgO / Co / Pt under $V_G = 0, \pm 20 \text{ V}$.

エピタキシャル CoFe/n-Ge/Fe₃Si 縦型構造の作製

椎原貴洋¹、沖宗一郎¹、酒井宗一郎¹、井川昌彦¹、山田晋也^{1,2}、浜屋宏平^{1,2}

(¹ 阪大基礎工, ² 阪大基礎工スピントロニクスセンター)

Fabrication of all-epitaxial CoFe/n-Ge/Fe₃Si vertical structures

T. Shiihara¹, S. Oki¹, S. Sakai¹, M. Ikawa¹, S. Yamada^{1,2}, and K. Hamaya^{1,2}

(¹Graduate School of Engineering Science, Osaka Univ., ²Center for Spintronics Research Network, Osaka Univ.)

[はじめに]

我々は、分子線エピタキシー(MBE)法と固相成長(SPE)法を併用することで、エピタキシャル CoFe/p-Ge/Fe₃Si 縦型構造を低温で形成し[1]、その縦型構造を用いて p 型 Ge を介した室温スピン伝導の観測に成功してきた[2]。しかし、p-Ge のスピン拡散長は非常に小さく[2]、スピン信号は温度の上昇とともに急速に減衰する。一方、n-Ge のスピン拡散長は、p-Ge のスピン拡散長よりも室温で 1 桁大きい[3]。そのため、Fe₃Si 層上に n-Ge 層を成長できれば、CoFe/Ge/Fe₃Si 縦型構造のスピン信号の増大が期待される。

本研究では、Fe₃Si 層上に Sb を同時蒸着した Ge 層を成長し、CoFe/n-Ge/Fe₃Si 縦型構造の作製を試みる。

[実験方法]

MBE 法を用いて Ge(111)基板上に Fe₃Si 層(50 nm)を成長した後、最表面を Si 面終端した[4]。その直上に非晶質 Ge 層(2 nm)を室温堆積し、125°C で 30 分のアニール処理を施した(SPE-Ge)[1]。その後、温度を 175°C に上げて、SPE-Ge 層上に Sb を同時蒸着(セル温度:280°C)した Ge 層(18 nm)を MBE 成長した。最後に、基板温度を室温まで下げた後、CoFe 層(10 nm)を MBE 成長し、CoFe/Sb-doped Ge/Fe₃Si 縦型構造とした。

[実験結果]

Fig. 1 に各層を成長した後の RHEED パターンを示す。Fig. 1(b) から、Sb を同時蒸着しても Ge 層はエピタキシャル成長しており、低温成長によって Sb の表面偏析を抑制できていることがわかる。また、Fig. 1(c)に示すように、三層成膜後も RHEED はストリークパターンを維持している。つまり、エピタキシャル CoFe/Sb-doped Ge/Fe₃Si 縦型構造の作製に成功した。

Fig. 2 に 300 K で測定した磁化曲線を示す。二段のヒステリシス曲線が観測され、CoFe, Fe₃Si が Ge を介して磁氣的に分断していることが示唆される。講演では、Au-Ti/Sb-doped Ge/Fe₃Si/p-Ge/Al 縦型デバイスの電気伝導特性について述べ、作製した Ge 層が n 型伝導を示すことについても言及する。

本研究は、科研費基盤研究(A)(16H02333)・科研費基盤研究(S)(17H06120)の補助を受けた。

参考文献

- 1) S. Sakai *et al.*, *Semicond. Sci. Technol.* **32**, 094005 (2017).
- 2) M. Kawano *et al.*, *Phys. Rev. Mater.* **1**, 034604 (2017).
- 3) M. Yamada *et al.*, *Appl. Phys. Express* **10**, 093001 (2017).
- 4) S. Yamada *et al.*, *Cryst. Growth Des.* **12**, 4703 (2012).

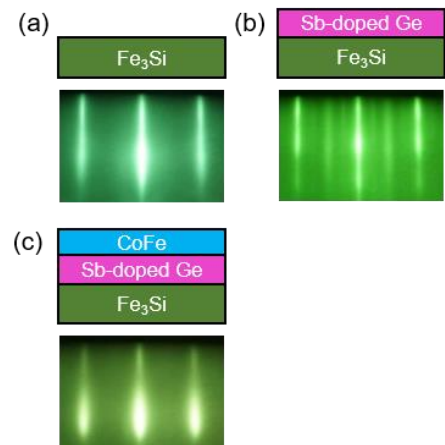


Fig.1 RHEED patterns of (a) Si-terminated Fe₃Si, (b) Sb-doped Ge and (c) CoFe layers.

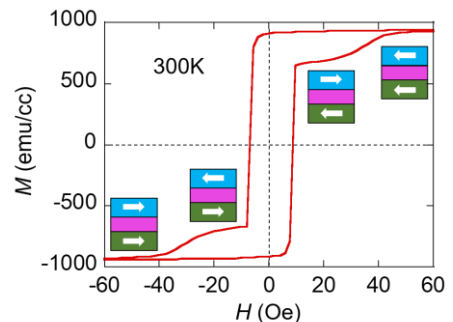


Fig. 2 $M-H$ curve of a CoFe/n-Ge/Fe₃Si trilayer at 300 K.

反平行磁化配置が不安定なゲルマニウム横型スピバルブ素子における非局所スピ伝導

沖宗一郎¹、山田道洋¹、山田晋也^{1,2}、澤野憲太郎³、浜屋宏平^{1,2}

(1 阪大基礎工, 2 阪大基礎工スピントロニクスセンター, 3 東京都市大)

Nonlocal spin signals in Ge-based lateral spin valves with unstable anti-parallel magnetic configuration

S. Oki¹, M. Yamada¹, S. Yamada^{1,2}, K. Sawano³, K. Hamaya^{1,2}

(¹Osaka Univ., ²Center for Spintronics Research Network, Osaka Univ., ³Tokyo City Univ.)

【はじめに】

一般的に、半導体へのスピ注入を実証する時に用いられる横型スピバルブ素子では、用いる強磁性体の物性によって反平行磁化配置を作ることが容易でないものもある。我々のこれまでの研究で、Fe₃Si という 2 元ホイスラー合金をスピ注入/検出電極として用いた半導体横型スピバルブ素子では、反平行磁化配置を作ることが難しく、スピ伝導の評価が難しかった[1]。本研究では、最近我々がスピ伝導特性を明らかにした Ge をチャンネル材料として、この Fe₃Si を注入電極とした横型スピバルブ素子のスピ伝導評価を行う。

【実験方法および結果】

n-Ge($n \sim 1 \times 10^{19} \text{ cm}^{-3}$)/Si(111)上に MBE 法で膜厚 10 nm の Fe₃Si 薄膜[2]を作製し、電子線描画と Ar⁺ミリングを用いて Fig.1 (a)の横型スピバルブ素子へと加工した[3]。Fig.1 (b)に 8 K で測定した非局所磁気抵抗信号を示す。従来と同様に、緩やかな抵抗変化を伴った信号が観測された[1]。この信号は温度の上昇とともに減衰し、 $\sim 150 \text{ K}$ で消失した。Fig.1 (c)には、平行磁化配置における非局所 Hanle 信号(黒点)を示す。平行磁化配置を実現するために、y 軸方向に磁場(H_y)を 300 Oe 印加し、 H_y をゼロにした後に Hanle 信号を測定した結果である。この平行配置の Hanle 信号の解析から、n-Ge のスピ緩和時間は $\sim 0.2 \text{ ns}$ と見積もられ、これまでの我々の報告[3]と一致していることから、観測されている信号はスピ信号であると判断される。観測された Hanle 信号の大きさは、(b)に示されたスピ信号の大きさとほぼ同じであることから、(b)で観測されている信号強度は、反平行磁化配置を実現していない状態で出現しているスピ信号であると判断される。次に、 H_y を変化させて Hanle 信号を測定したところ、信号強度に明瞭な変化が見られた。これは、Fe₃Si スピ注入電極と検出電極間の磁化配置が、(b)から予想される通り、緩やかに磁化回転的に変化しているため、反転途中の磁化状態で留まっている時の Hanle 信号を測定できていることを示している。同様の挙動は、Si スピバルブ系の実験でも既に報告されている[4]。

本研究は、科研費基盤研究(A)(16H02333)・科研費基盤研究(S)(17H06120)の補助を受けた。

参考文献

- [1] Y. Ando *et al.*, *App. Phys. Lett.* **94**, 182105 (2009); *Appl. Phys. Express* **3**, 093001 (2010).
- [2] K. Hamaya *et al.*, *Phys. Rev. B* **83**, 144411 (2011).
- [3] M. Yamada *et al.*, *Phys. Rev. B* **95**, 161304(R) (2017).
- [4] O. M. J. van 't Erve *et al.*, *Appl. Phys. Lett.* **91**, 212109 (2007).

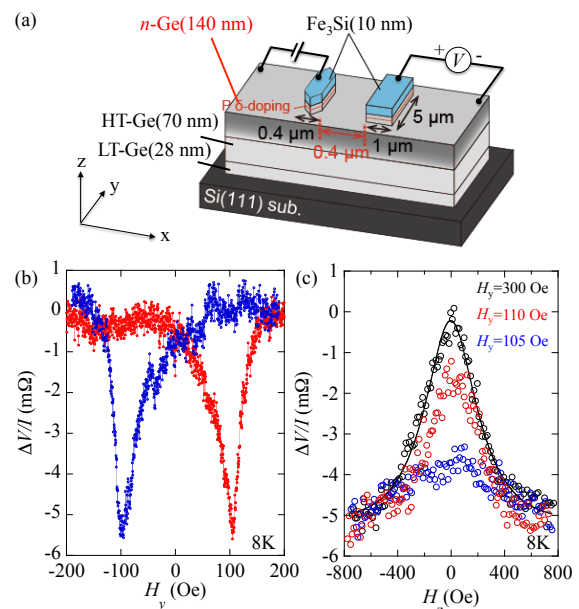


Fig.1 (a) Illustration of the fabricated lateral spin-valve device. (b) Nonlocal spin signal and (c) nonlocal Hanle signals, at $I = -1 \text{ mA}$, 8K. The black solid curve shows the fitting curve using one-dimensional spin-drift diffusion model.

AlGaAs/GaAs 系高移動度 2次元電子系へのスピン注入及び検出

潘達¹, 林志超¹, Mahmoud Rasly¹, 植村哲也¹
 (¹北海道大学大学院情報科学研究科)

Electrical spin injection and detection in an AlGaAs/GaAs-based
 high-mobility two-dimensional electron system

Da Pan, Zhichao Lin, Rasly Mahmoud, and Tetsuya Uemura

(¹Graduate School of Information Science and Technology, Hokkaido University)

1. はじめに

従来のトランジスタ機能に加え、スピンの機能性を有するスピントランジスタの実現に向け、強磁性電極から半導体にスピンの揃った電子を注入する半導体スピン注入の研究が盛んに行われている。これまで GaAs [1]や Si[2], Ge[3]など種々のバルク半導体へのスピン注入が室温で実証されている。一方、AlGaAs/GaAs 2次元電子ガス(2DEG)構造は高い電子移動度を有することから、高電子移動度トランジスタ(HEMT)をはじめとする高速デバイスへの応用が期待されている。また、スピントランジスタのチャンネルとしても有用である。

しかしながら、これまで AlGaAs/GaAs 2DEG チャンネルへのスピン注入の報告例は少なく、強磁性半導体の GaMnAs をスピン源として用いた素子で実現されているのみである[4]。さらに、GaMnAs の強磁性転移温度(T_C)は室温より低いため、スピン注入の実証も 50 K 以下に限られている。今回、我々は T_C が室温より十分高い CoFe ($T_C > 1000$ K) をスピン源に使い、AlGaAs/GaAs 2DEG チャンネルへのスピン注入を 138 K まで実証したので報告する。

2. 実験方法

半絶縁性 GaAs(001)基板上に、ud-GaAs (400 nm)/ud-Al_{0.3}Ga_{0.7}As (100 nm)/n⁻-Al_{0.3}Ga_{0.7}As (Si = 3×10^{18} cm⁻³, 100 nm)/ud-Al_{0.3}Ga_{0.7}As (15 nm)/ud-GaAs (50 nm)/n⁻-GaAs (Si = 7×10^{16} cm⁻³, 100 nm)/n⁺-GaAs (Si = 5×10^{18} cm⁻³, 30 nm)からなる逆 HEMT 構造を、分子線エピタキシー法(MBE)により成膜した。次に、厚さ 5 nm の CoFe 層をマグネトロンスパッタリング法により室温で成長した。その後、電子線リソグラフィと Ar イオンミリングにより非局所四端子素子に加工した。スピンの注入と検出用の電極のサイズはそれぞれ $0.5 \times 5 \mu\text{m}^2$ と $1.0 \times 5 \mu\text{m}^2$ であり、両者の間隔は 0.5 μm である。

3. 結果および考察

ホール効果測定により、製作した 2DEG 層の 77 K におけるシートキャリア濃度及び移動度はそれぞれ 6.9×10^{11} cm⁻² ~ 8.5×10^{11} cm⁻² と $24200 \sim 43700$ cm²/V·s となり、高い移動度を有することが分かった。このことは、良好な AlGaAs/GaAs ヘテロ界面が形成され、また、キャリアは 2DEG 層を伝導していることを示している。Fig. 1(a)に 77 K における非局所スピンバルブ信号を示す。図に示すように、注入電極と検出電極間の相対磁化配置の変化による明瞭なスピンバルブ信号が観測され、GaMnAs を用いた先行研究[4]に比べ、より高い温度でスピン注入を実証した。同図(b)には、スピン注入の大きさの指標として、非局所電圧の変化量と注入電流の比で定義された $|\Delta V_{NL}/I_{bias}|$ の温度依存特性を示す。CoFe をスピン源として用いることで、非局所信号は 138 K まで検出された。バルク GaAs ではスピン信号の大きさは温度の上昇と共に単調に減少するのに対し、2DEG チャンネルでは 80 K 付近で最大となった。講演ではこの複雑な温度依存性についても議論する。

参考文献

- [1] T. Uemura et al., Appl. Phys. Lett. **99**, 082108 (2011).
- [2] T. Suzuki et al., APEX **4**, 023003 (2011).
- [3] M. Yamada et al., APEX **10**, 093001 (2017).
- [4] M. Oltcher et al., Phys. Rev. Lett. **113**, 236602 (2014).

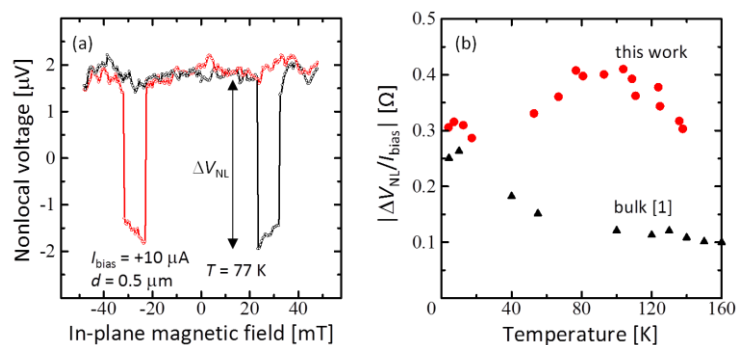


Fig. 1(a). 77 Kにおけるスピンバルブ信号 (b) 非局所信号の温度依存性