

応力誘起磁化反転型 MTJ 用の SmFe_2 薄膜の磁歪特性向上

富田誠人, 石谷優剛, 高村陽太, 中川茂樹

(東工大)

Improvement of magnetostriction of SmFe_2 thin film for strain assisted magnetization reversal for MTJ

M. Tomita, Y. Ishitani, Y. Takamura, and S. Nakagawa

(Tokyo Inst. Tech.)

1 はじめに

磁気トンネル接合 (MTJ) 素子は、磁化の相対方向によって抵抗値が変わるトンネル磁気抵抗 (TMR) 効果を示し、不揮発性メモリの情報記憶素子として期待される。しかし、情報書換え時におけるスピントランスファトルク (STT) による磁化反転は、消費電力が大きい。そこで、負の超磁歪材料を MTJ フリー層に使用し、圧電体素子と組み合わせることにより、逆磁歪効果を利用して消費電力を低減する MTJ が提案されている¹⁾。本研究では、MTJ フリー層に使用する負の超磁歪材料として、バルクで -2060 ppm 程度の磁歪定数を持つ SmFe_2 を選択している。Ref.1) におけるシミュレーションにおいて、フリー層の磁歪定数は -1300 ppm 程度が必要とされており、昨年までの本研究の報告では未達成であった。したがって今回、必要とされる約 -1300 ppm を目指した、 SmFe_2 薄膜のさらなる磁歪定数の向上について検討したので報告する。

2 実験方法

薄膜は、対向ターゲット式スパッタ法により、厚さ 30 μm のガラス基板上に室温～400°C で成膜した。試料構造は Glass sub./W (20)/ Sm_xFe_2 (100)/W (10) とした。但し、括弧内は膜厚で単位は nm とする。ICP-OES により組成比を評価し、 Sm_xFe_2 薄膜の x を同定した。結晶構造は XRD により評価した。磁歪定数は、3D プリンタで作製した専用の治具を用いて応力印加前後の磁化特性を VSM で測定することで評価した。

3 実験結果と考察

本概要では、Sm-rich 組成にすることによる磁歪特性の変化について述べる。 SmFe_2 合金ターゲットをスパッタする際にターゲット上に置く Sm チップの有無により、 $x \approx 0.95, 1.05$ の 2 種類の Sm_xFe_2 薄膜を作製した。なお、XRD の結果より、いずれの組成であっても成膜温度 400°C 以下では結晶化を確認できなかった。

Fig.1 に、400°C 成膜した Sm_xFe_2 薄膜の応力なしのとき (破線) と 10 MPa の引張応力を印加したとき (実線) の磁化特性を示す。応力印加前は容易軸特性であったループが、引っ張り応力により困難軸特性に近づいているため、磁歪は負であり、 $x \approx 0.95$ のときと $x \approx 1.05$ のときでそれぞれ磁歪定数 λ は -890 ppm と -1200 ppm であった。成膜温度 400°C において、Sm の添加が応力印加によるエネルギー変化を大きくし、磁歪定数が負に向上していることがわかる。また、飽和磁化 M_s も Sm の添加によって減少している。Fig.2(a) は飽和磁化 M_s , (b) は磁歪定数 λ の成膜温度依存性をそれぞれの x に対してプロットしたグラフである。 M_s は 200°C までは x に対して変化が小さいが、400°C において差が開き、Sm 組成が多い方が M_s が小さい。また、 M_s が低減された 400°C において、 λ が負に大きく向上している。加えて、希土類元素である Sm は非常に酸化されやすいため、高温成膜においては Sm の一部は O と結合している可能性が高い。これらのことから、Sm を添加することによって、O と結合した Sm を補い、 M_s の低減と λ の絶対値の向上が示されたと考えられる。

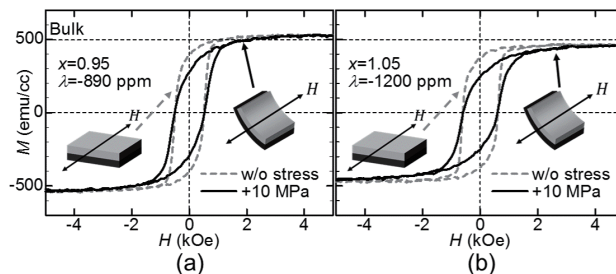


Fig. 1 M - H loops of the films with and without 10 MPa tensile stress for (a) $x \approx 0.95$ and (b) $x \approx 1.05$.

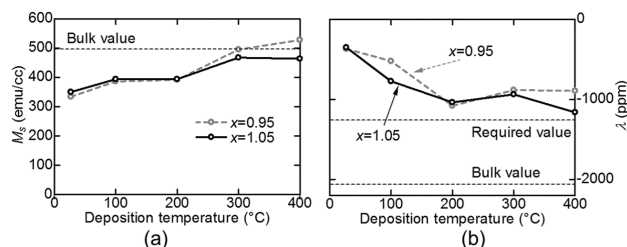


Fig. 2 Deposition temperature dependence of (a) saturation magnetization M_s and (b) magnetostriction constant λ .

References

- 1) Y. Takamura, Y. Shuto, S. Yamamoto, H. Funakubo, M. K. Kurosawa, S. Nakagawa, and S. Sugahara: *Solid-State Electronics*, **128**, 194-199 (2017).